

Олег Васильевич МАЕВСКИЙ¹
Александр Дмитриевич ПИСАРЕВ²
Александр Николаевич БУСЫГИН³
Сергей Юрьевич УДОВИЧЕНКО⁴

УДК 004.076.4; 004.335

ЛОГИЧЕСКИЙ КОММУТАТОР И ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО НА ОСНОВЕ МЕМРИСТОРНЫХ ЯЧЕЕК ДЛЯ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ НЕЙРОПРОЦЕССОРА

¹ кандидат технических наук, директор ООО «Нанодевайсес»
oleg-maevsky@yandex.ru

² кандидат технических наук, доцент кафедры
экспериментальной физики и нанотехнологий,
заведующий лабораторией пучково-плазменных технологий
НОЦ «Нанотехнологии», Тюменский государственный университет
spcb.doc@gmail.com

³ магистрант кафедры механики многофазных систем,
Тюменский государственный университет
daenur.al@gmail.com

⁴ доктор физико-математических наук, профессор
кафедры экспериментальной физики и нанотехнологий,
руководитель НОЦ «Нанотехнологии»,
Тюменский государственный университет
udotgu@mail.ru

Аннотация

Представлены топология и электрические схемы ячеек на основе мемристоров, полученных путем интеграции мемристоров, диодов и КМОП платформы. Такие ячейки предлагается использовать в качестве коммутатора логических элементов и в запоминающем устройстве, которые позволяют создать микроконтроллер и нейропроцессор с энергонезависимой памятью, высоким быстродействием и малым энергопотреблением.

Цитирование: Маевский О. В. Логический коммутатор и запоминающее устройство на основе мемристорных ячеек для электрической схемы нейропроцессора / О. В. Маевский, А. Д. Писарев, А. Н. Бусыгин, С. Ю. Удовиченко // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2016. Том 2. № 4. С. 100-111.

DOI: 10.21684/2411-7978-2016-2-4-100-111

При этом замена в логических схемах полевых транзисторов на мемристоры существенно уменьшает площадь активных элементов на кристалле микроконтроллера и упрощает цепи программирования.

Ключевые слова

Логическая схема, коммутатор, запоминающее устройство, нейропроцессор, программируемая логическая матрица, энергонезависимая память, мемристор.

DOI: 10.21684/2411-7978-2016-2-4-100-111

Введение

Достоинства мемристоров, такие как малые размеры, простота изготовления, энергонезависимость и высокое быстродействие, вызывают все больший интерес у разработчиков интегральных наноустройств. Мемристоры уже нашли применение в целом ряде микро- и наноэлектронных приборов: от запоминающего устройства [6; 9] и логического вентиля [4] до персептрона [7] и нейроморфного процессора [3]. Электрические свойства мемристора, подобные свойствам живого синапса при распространении нервного импульса, описаны в [5]. В этой же работе указана возможность использования мемристора, как суммирующего элемента искусственного нейрона.

Монолитная трехмерная интеграция памяти и логических схем на мемристорах может значительно повысить производительность и энергоэффективность масштабируемых вычислительных систем и может служить основой для создания нейропроцессора. На первый взгляд построение масштабируемых логических схем с интегрированной памятью на основе мемристоров является одним из очевидных путей, поскольку размер мемристора намного меньше, чем транзистора. Работоспособность таких схем на мемристорах показана в работах [4; 8; 10]. С другой стороны, современная транзисторная КМОП (комплементарная металл-оксид-полупроводник) логика предусматривает переключения элементов до нескольких миллиардов раз в секунду, в то время как ресурс переключения у мемристоров достаточно мал. Поэтому использование мемристоров как основы логики не целесообразно.

Мемристоры следует использовать там, где число переключений относительно мало. Например, в нейропроцессоре мемристоры могут выполнять роль коммутаторов логических схем, в то время как в самих коммутируемых устройствах частота переключений, как правило, очень высока. В нейропроцессоре на основе перепрограммируемой логической матрицы коммутация логических схем осуществляется изменением состояния полевых транзисторов с плавающим затвором. Замена транзисторов на мемристоры позволяет увеличить степень интеграции логических элементов на кристалле нейропроцессора, поскольку занимаемая мемристором площадь значительно меньше. Кроме этого, применение мемристоров упрощает цепи записи и считывания и дает возможность проводить обучение устройства в целом, в том числе и в процессе его работы.

Возможно несколько способов интеграции мемристоров с КМОП логикой. В работе [3] авторами представлен вариант архитектуры нейроморфного сопроцессора на основе мемристорной микросхемы, интегрированной с КМОП логикой. Электронное устройство сочетает в себе программируемые микроконтроллеры и энергонезависимую мемристорную память и имеет возможность работы совместно с персональным компьютером. Статья [1] посвящена особенностям моделирования работы биоморфной искусственной нейросети и ее адаптации к нейроморфному процессору. Адаптация к процессору биоморфной нейросети, моделирующей работу фрагмента кортикальной колонки, связана с ограниченными вычислительными возможностями существующих сегодня микропроцессоров. С этой точки зрения актуальна задача создания микроконтроллера нового поколения для моделирования работы одной или нескольких кортикальных колонок с различными ассоциативными основаниями. Такой микроконтроллер наряду с энергонезависимой памятью на мемристорных кроссбарах должен иметь оптимальную структуру управления КМОП с минимальным числом элементов микро- и наноэлектроники (транзисторов, диодов и т. д.) и минимальной площадью, занимаемой каждым элементом, при высоком быстродействии и низком потреблении энергии.

Целью настоящей работы является разработка ячеек на основе мемристоров, которые используются для создания многослойной логической матрицы на основе коммутатора и запоминающего устройства.

Коммутатор логических схем на ячейках с мемристорами

Классические коммутаторы логических схем построены на полевых транзисторах и обладают рядом недостатков в случае их применения в нейропроцессоре сложной архитектуры: малой степенью интеграции и, как следствие, ограниченным числом логических вентилях и типовых схем на их основе; высоким энергопотреблением при невысоком быстродействии; ограниченными возможностями при программировании и обучении. Замена транзисторов на мемристоры в коммутаторах логических схем позволяет в большей мере избавиться от указанных недостатков. Однако при использовании мемристоров возникают новые задачи, связанные с их интеграцией в электронное устройство нейропроцессора.

Первостепенной задачей применения мемристоров в запоминающих устройствах и коммутаторах логических схем является разработка способа разделения цепей записи и чтения. Простейшая схема кроссбара в этом плане обладает недостатком, который заключается во взаимовлиянии мемристоров. Это приводит к запараллеливанию цепей при записи и к неоднозначному результату во время считывания электрических сопротивлений узлов. Чтобы исключить взаимовлияние, к мемристорам необходимо добавить «обвязку» — дополнительную электрическую схему на диодах и транзисторах, которая будет разделять цепи записи и питания.

Схема блока логического коммутатора, состоящего из матрицы ячеек с мемристорами и реализующего дизъюнктивные нормальные формы, показана на рис. 1. Нормальные дизъюнктивные формы позволяют каноническим образом реализо-

вывать любые логические операции, которые требуются для нейроморфного процессора. Количество мемристорных ячеек и подключенных к ним линий растет в соответствии с размерностью матриц, на рисунке показаны только начальные узлы с мемристорными ячейками и линии входов и программирования. Логические переменные подаются на вертикальные линии X_1 , \bar{X}_1 , подключенные к затворам входных транзисторов T3, T4, T11, T12 (рис. 1). Входные транзисторы образуют КМОП структуру и с каждым мемристором (M1 и M2) формируют элементарные ячейки, которые выполняют функции коммутации. Мемристоры ячеек, запрограммированные заранее в проводящее состояние, подключают соответствующие логические входы к горизонтальным цепям, а мемристоры в непроводящем состоянии отключают входы от этих цепей. При этом с входными переменными, подключаемыми на одну горизонтальную проводящую линию, выполняется функция конъюнкции. Полученные литералы на горизонтальных цепях далее подаются на матрицу дизъюнкции, также выполненную на ячейках мемристоров M2, M4 с КМОП структурами, реализованными на транзисторах T5, T6, T13, T14. Результатом работы схемы являются выходные логические уровни, полученные как функции последовательной конъюнкции и дизъюнкции от входных переменных по скоммутированным связям мемристорными ячейками.

Программирование мемристоров, составляющих ячейки конъюнктивной и дизъюнктивной матриц, осуществляется с помощью КМОП транзисторов T1, T2, T7, T8, T9, T10, T16, T15, подключенных к горизонтальным цепям. Предварительно матрица находится в режиме коммутации логических схем, и оба программирующих транзистора закрыты. Управляющее напряжение, подаваемое на затворы программирующих КМОП транзисторов, включает режим программирования мемристоров. При этом открывается только один программирующий транзистор верхнего или нижнего плеча в зависимости от того, как требуется перепрограммировать мемристор, ввести его в низкоомное или высокоомное состояние. Соответственно, для программирования на другом контакте мемристора устанавливается противофазный уровень напряжения через входные КМОП транзисторы, а их затворами управляют входные логические линии.

Таким образом, представленная схема реализует функцию дизъюнктивной нормальной формы (ДНФ) с возможностью перепрограммируемой коммутации, которая удобна для построения логики работы нейроморфного устройства. Стоит отметить, что недостатком подхода реализации только ДНФ в коммутируемой логике на мемристорах может являться нерациональное использование логических ресурсов матрицы при построении логических схем. С другой стороны, для нейропроцессора этот недостаток может оказаться не столь решающим, потому что требуемые ресурсы будут определяться архитектурой нейронной сети.

Мемристорная ячейка с транзисторами для блока логического коммутатора

Звеном матрицы рассмотренного на рис. 1 логического коммутатора является ячейка, которая представляет собой соединение транзисторной КМОП структуры и одного мемристора (рис. 2а). Мемристор первым контактом подключен к соединению стоков n- и p-канальных транзисторов, которые переключают этот

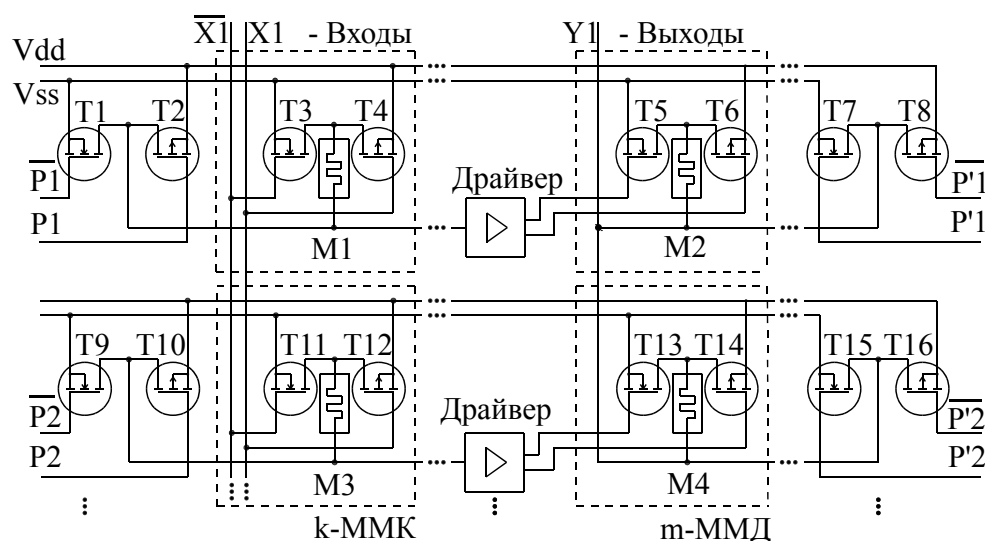


Рис. 1. Схема блока логического коммутатора, демонстрирующая способ разделения цепей записи и считывания в логической матрице мемристоров с КМОП транзисторами. k-ММК — k-мерная матрица конъюнкций, m-ММД — m-мерная матрица дизъюнкций. P1, P'1, P2, P'2, P'1, P'2 — входы программирования, Vdd, Vss — высокий и низкий уровни напряжения питания

Fig. 1. The logical switch block circuit showing a recording method of dividing circuits and a read logic array memristor CMOS transistors.

k-ММК — k-dimensional matrix conjunctions, m-ММД — m-dimensional matrix of disjunctions. P1, P'1, P2, P'2, P'1, P'2 — inputs programming, Vdd, Vss — high and low voltage

контакт между полюсами источника питания Vss и Vdd. Затворы транзисторов являются входами, предназначенными для ввода переменных в логическую матрицу. Второй контакт мемристора подключен к проводящей линии, которая гальванически объединяет контакты мемристорных ячеек на одной строке для реализации функций конъюнкций и дизъюнкций (см. схему на рис. 1).

Мемристорные ячейки с КМОП транзисторами объединены в равномерную прямоугольную матрицу. Топология матрицы представляет собой структуру из двух основных слоев: нижний КМОП слой транзисторов, на который через изолятор нанесен верхний слой мемристоров. Технологические этапы создания областей ячейки показаны срезами на рис. 2б, которые условно помечены буквами А-В-С-Д-Е. Проводники и области каждого типа проводимости на рис. 2б отмечены разными цветами. На этапах А-В-С формируют слой КМОП транзисторов по стандартной технологии: на этапе А на подложке создаются карманы двух полевых p- и n-канальных транзисторов; на этапе В формируются затворы транзисторов; на этапе С транзисторы соединяют проводниками в комплементарные пары.

Далее на заготовке, например, методом магнетронного напыления и с помощью литографии формируют слой диэлектрика с матрицей проводящих пере-

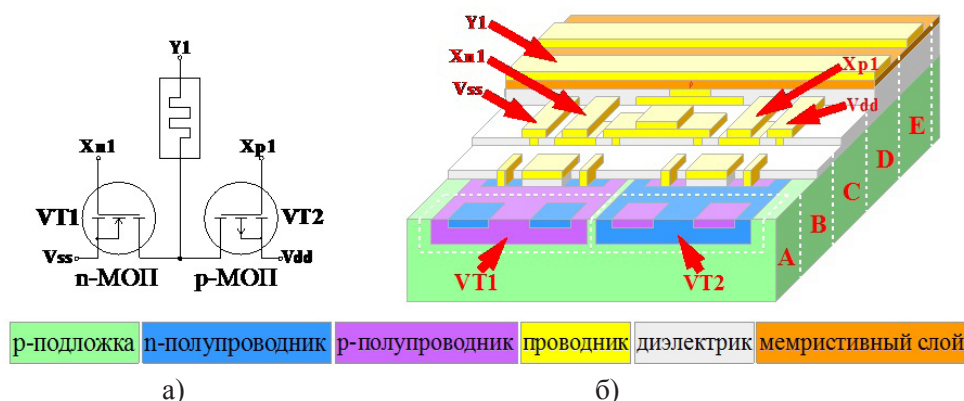


Рис. 2. а) схематическое изображение и б) топология мемристорной ячейки с КМОП транзисторами для блока логического коммутатора

Fig. 2. а) schematic representation and б) topology of the memristor cell with CMOS transistors for logic switch unit

ходных колодцев, которые присоединяют стоки комплементарных пар транзисторов к нижнему контакту мемристора. Затем методом магнетронного напыления наносят мемристивный слой, который состоит из оксида переходного металла толщиной в несколько десятков нанометров, и кросс-проводники, соединяющие мемристорные ячейки в параллельную цепь (этап D и E).

Таким образом, в достаточно простом технологическом процессе формируется сетка мемристорных ячеек, которые через слой диэлектрика и сетки переходных колодцев подключаются к транзисторам, наносимым по стандартной технологии КМОП. Основным преимуществом разработанной матрицы ячеек по сравнению с другими конструкциями энергонезависимых интегральных переключателей является меньший размер ячейки, что позволяет добиться большей степени их интеграции на кристалле.

Важным аспектом проектирования является площадь, занимаемая обвязкой на подложке, которую необходимо разумно расходовать при разработке электрической схемы и проектировании мемристорных ячеек, иначе снижение степени интеграции сведет на нет все преимущества применения мемристоров. Поскольку обойтись в логических схемах без применения транзисторов не представляется возможным, на наш взгляд оптимальная топология интегральной микросхемы с мемристорами и транзисторами может быть выполнена слоями.

Чтобы обеспечить максимальную степень интеграции в слоистой топологии, занимаемая площадь мемристоров, реализованных в одном слое, должна быть сравнима с занимаемой площадью интегральных транзисторов в другом слое. Исходя из современных технологических возможностей занимаемой указанными элементами площади, можно сделать вывод, что оптимальная конфигурация достигается, когда на один транзистор интегральной схемы приходится около 5-10 мемристоров [2].

Таким образом, соотношение между мемристорами и транзисторами в схеме является показателем ее оптимальности для практической реализации. Для

рассмотренной схемы и представленной топологии мемристорной ячейки это соотношение составляет примерно 0,4 мемристора на транзистор (~2,5 транзистора на мемристор), что является лучшим результатом, в отличие от включения каждого мемристора в полный Н-мост с четырьмя транзисторами, предложенного авторами ранее в работах [1; 3].

Матрица запоминающих ячеек с побитным доступом на мемристорах и диодах

Схемотехника интегральной микросхемы, функционально подходящей для реализации памяти в нейроморфных сетях, может представлять собой матричную организацию мемристорных ячеек, показанную на рис. 3. Количество мемристорных ячеек и подключенных к ним линий растет в соответствии с размерностью матриц, на рисунке показаны только начальные узлы с мемристорными ячейками и линии входов для их адресации. Предложенную схему можно рассматривать как функционально законченное запоминающее устройство, в котором ячейки памяти выполнены на мемристорах M1-M3 и диодах D1-D6. Схема обвязки обеспечивает побитный доступ к записанной информации в двоичной кодировке.

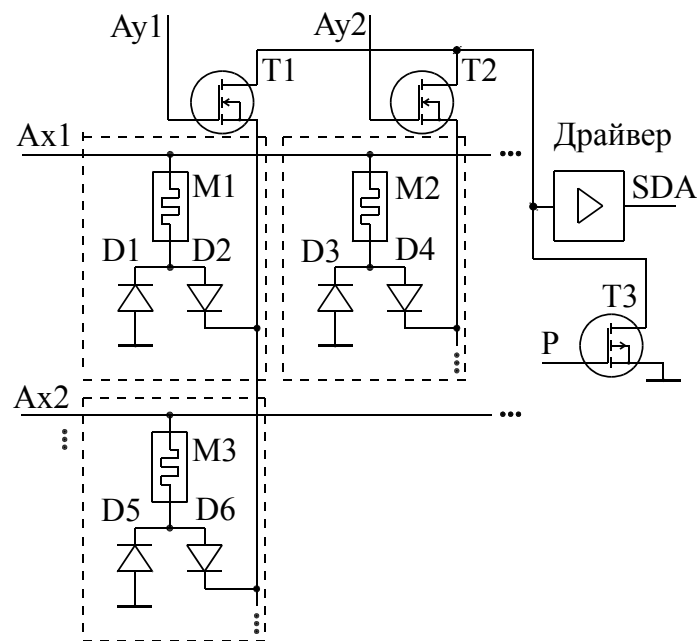


Рис. 3. Схема запоминающего устройства на основе матрицы мемристоров с диодным способом разделения электрических цепей записи и считывания. Ax1, Ax2, ... , Ay1, Ay2, ... — адресные входы; SDA — последовательный доступ к данным; P — вход программирования

Fig. 3. Storage device scheme based on memristors matrix with a dividing diode technique for electrical writing and reading circuits. Ax1, Ax2, ... , Ay1, Ay2, ... — address inputs; SDA — sequential data access; P — programming input

Цепи записи и считывания в представленной схеме разделены диодными парами D1-D6, подключенными к каждому мемристору M1-M3 (рис. 3). Программирование мемристоров осуществляется с помощью дешифраторов адреса строк и столбцов, для простоты на схеме не показанных и подключенных к линиям Ax1, Ax2, Ay1, Ay2. Дешифратор адреса строк совместно с транзистором T3 обеспечивает подачу двух полярных импульсов записи. Выбор столбцов для записи и считывания мемристоров осуществляется дешифратором столбцов матрицы через полевые транзисторы T1-T2. Функцию приема импульсов при считывании информации выполняет драйвер.

Таким образом, рассмотренная схема демонстрирует принцип использования мемристоров в качестве ячеек запоминающего устройства. В схему ячейки включены два диода для разделения цепей записи и считывания. Преимуществом данной схемы является то, что степень интеграции мемристоров с диодами достаточно высока и составляет примерно около 0,4 мемристоров на диод. Это дает выигрыш в количестве литографических операций и в занимаемой площади в случае, когда np-переходы компактнее транзисторов. Недостатком применения диодов в ячейках с мемристорами является большое падение напряжения на np-переходах, что требует повышения напряжения питания и, как следствие, увеличение потребляемой мощности всей микросхемы.

Мемристорная ячейка с диодами для запоминающего устройства

Простая конструкция ячейки разработана для запоминающего устройства, схема которого представлена на рис. 4. Ячейка состоит из двух последовательно соединенных диодов D1 и D2 и мемристора M1, подключенного одним контактом к их общему узлу. Другой контакт Y1 мемристора ячейки предназначен для соединения с общим кросс-проводником в соответствии с электрической схемой запоминающего устройства, показанного на рис. 3. Аноды и катоды диодов ячейки также предназначены для объединения параллельными проводниками.

Топология представляет собой структуру из двух основных слоев: слоя с диодами и слоя с мемристорами. Технологические этапы создания областей ячейки показаны срезами на рис. 4б, которые условно помечены буквами А-В-С. Проводники и области каждого типа проводимости на рис. 4б отмечены разными цветами, список которых изображен на рисунке снизу.

На этапе А формируют слой матрицы двух диодных сборок по стандартной технологии с созданием карманов проводимости n- и p-типа. Далее формируют верхний слой с мемристорами. Для этого на этапе В с применением методов литографии и магнетронного напыления наносят проводники соединяющие диоды, на которых сверху формируют диэлектрический слой с сеткой переходных колодцев, проводящих ток на следующий верхний активный слой. На этапе С на диэлектрик с переходными колодцами, например, методом магнетронного напыления наносят мемристивный материал, который состоит из оксида переходного металла толщиной в несколько десятков нанометров. Поверх мемристивного слоя перпендикулярно линиям, соединяющим аноды и катоды

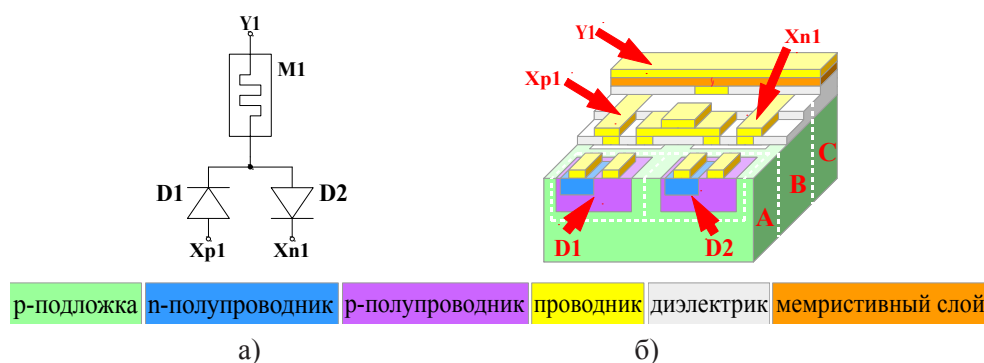


Рис. 4. а) схематическое изображение и б) топология мемристорной ячейки с двумя диодами для запоминающего устройства

Fig. 4. а) schematic representation and б) topology of the memristor cell with two diodes for the memory device

диодов, наносят слой кросс-проводников, соединяющих мемристорные ячейки в параллельную цепь.

Таким образом, представленная топология мемристорной ячейки для запоминающего устройства отличается технологической простотой и компактностью, что является основным преимуществом при создании нейроморфных процессоров с высокой степенью интеграции блоков памяти.

Выводы

Разработана мемристорная ячейка с КМОП транзисторами и схема коммутатора на ее основе. Представленная схема реализует функцию дизъюнктивной нормальной формы (ДНФ) с возможностью перепрограммируемой коммутации, которая удобна для построения логики работы нейроморфного устройства. Стоит отметить, что недостатком подхода реализации только ДНФ в коммутируемой логике на мемристорах может являться нерациональное использование логических ресурсов матрицы при построении логических схем.

Предложена схема запоминающего устройства на основе ячеек с мемристорами, где цепи записи и считывания данных разделены с помощью двух диодов с рп-переходом. Рассмотрена топология ячеек мемристоров и диодов с технологической стороны, сделаны оценки степени интеграции. Преимуществом данного подхода является то, что степень интеграции мемристоров с диодами достаточно высока и составляет примерно около 0,4 мемристоров на диод. Это дает выигрыш в занимаемой площади в случае, когда рп-переходы компактнее транзисторов. Недостатком применения диодов в ячейках с мемристорами является большое падение напряжения на р-п-переходах, что требует повышения напряжения питания и как следствие увеличения потребляемой мощности всей микросхемы. С другой стороны, указанные недостатки при построении нейропроцессора могут оказаться не столь решающими, поскольку требуемые логические ресурсы и объемы памяти будут определяться архитектурой нейронной сети.

В заключение можно отметить, что представленная топология мемристорной ячейки для запоминающего устройства отличается технологической простотой и компактностью, что является главным преимуществом при создании нейроморфных процессоров с высокой степенью интеграции блоков памяти. Также в достаточно простом технологическом процессе формируется сетка мемристорных ячеек, которые через слой диэлектрика и сетки переходных колодцев подключаются к транзисторам, наносимым по стандартной технологии КМОП. Основным преимуществом разработанной матрицы ячеек по сравнению с другими конструкциями энергонезависимых интегральных переключателей является меньший размер ячейки, что позволяет добиться большей степени их интеграции на кристалле.

СПИСОК ЛИТЕРАТУРЫ

1. Бусыгин А. Н. Особенности моделирования работы биоморфной нейросети на электронном устройстве с энергонезависимой памятью и низким потреблением энергии / А. Н. Бусыгин, А. Д. Писарев, А. Ю. Кузьменко, В. А. Филиппов // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2016. № 1. С. 92-100.
2. Ракитин В. В. Интегральные схемы на КМОП-транзисторах. Учебное пособие / В. В. Ракитин // Москва, 2007. 307 с.
3. Удовиченко С. Ю. Прототип нейроморфного сопроцессора на основе мемристоров из смешанного оксида металлов / С. Ю. Удовиченко, А. Н. Бобылев, А. Н. Бусыгин, А. Д. Писарев, В. А. Филиппов // Сборник тезисов VI конференции Нанотехнологического общества России. 2016. С. 29-32.
4. Adam G. C. Optimized Stateful Material Implication Logic For 3D Data Manipulation / G. C. Adam, B. D. Hoskins, M. Prezioso, D. V. Strukov et al. // Nano Research. 2016. Vol. 9. № 12. Pp. 3914-3923.
5. Bobilev A. N. The Electrical Properties of Memristor Devices TiN/Tix Al_{1-x} O_y/TiN Produced by Magnetron Sputtering / A. N. Bobilev, S. Yu. Udovichenko // Russian Microelectronics. 2016. Vol. 45. No 6. Pp. 396-401.
6. Chevallier C. J. A 0.13 μ m 64Mb Multi-Layered Conductive Metal-Oxide Memory / C. J. Chevallier, C. H. Siau, S. F. Lim, S. R. Namala et al. // IEEE International Solid-State Circuits Conference. 2010. Pp. 260-261.
7. Demin V. A. Hardware Elementary Perceptron Based on Polyanilin Memristive Devices / V. A. Demin, V. V. Erokhin, A. V. Emelyanov, S. Battistoni et al. // Organic Electronics. 2015. Vol. 25. Pp.16-20.
8. Levy Y. Logic Operations in Memory Using a Memristive Akers Array / Y. Levy, J. Bruck, Y. Cassuto, E. G. Friedman et al. // Microelectronics Journal. 2014. Vol. 45. Pp. 1429-1437.
9. Liu T. A 130.7-nm 2-Layer 32-Gb ReRAM Memory Device in 24-nm Technology / T. Liu, T. H. Yan, R. Scheuerlein, Y. Chen et al. // IEEE Journal of solid-state circuits. 2014. Vol. 49. No 1. Pp. 140-149.
10. Xia O. Memristor-CMOS hybrid Integrated Circuits for Configurable Logic / O. Xia, W. Robinett, M. Cumbie, N. Banerjee et al. // Nano Letters. 2009. Vol. 9. No 10. Pp. 3640-3645.

Oleg V. MAEVSKY¹
Alexander D. PISAREV²
Alexander N. BUSYGIN³
Sergey Yu. UDOVICHENKO⁴

LOGICAL COMMUTATOR AND A STORAGE DEVICE BASED ON MEMRISTOR CELLS FOR ELECTRICAL CIRCUITS OF NEUROPROCESSOR

¹ Cand. Sci. (Tech.), Director of “Nanodevices” company
oleg-maevsky@yandex.ru

² Cand. Sci. (Tech.), Associate Professor,
Department of Experimental Physics and Nanotechnology,
Head of the Laboratory of Beam-Plasma Technology,
REC “Nanotechnology”, Tyumen State University
spcb.doc@gmail.com

³ Master Degree Student, Department of Mechanics
of Multiphase Systems, Tyumen State University
daenur.al@gmail.com

⁴ Dr. Sci. (Phys-Math.), Professor,
Department of Experimental Physics and Nanotechnology,
Head of REC “Nanotechnology”, Tyumen State University
udotgu@mail.ru

Abstract

The topology and the circuit diagram of memristor cells obtained by integrating memristor, diodes and CMOS platform are presented. Such cells can be used as a commutator for logic elements and storage devices that allows to create a microcontroller and a neuroprocessor with non-volatile memory, high performance and low power consumption. The substitution in logic field-effect transistors to memristor significantly reduces the area of active elements on the chip of the microcontroller and simplifies circuit programming.

Citation: Maevsky O. V., Pisarev A. D., Busygin A. N., Udovichenko S. Yu. 2016. “Logical Commutator and a Storage Device Based on Memristor Cells for Electrical Circuits of Neuroprocessor”. Tyumen State University Herald. Physical and Mathematical Modeling. Oil, Gas, Energy, vol. 2, no 4, pp. 100-111.

DOI: 10.21684/2411-7978-2016-2-4-100-111

Keywords

Logic circuit, commutator, storage device, neuroprocessor, programmable logic array, non-volatile memory, memristor.

DOI: 10.21684/2411-7978-2016-2-4-100-111

REFERENCES

1. Adam G. C., Hoskins B. D., Prezioso M., Strukov D. V. et al. 2016. "Optimized Stateful Material Implication Logic for 3D Data Manipulation". *Nano Research*, vol. 9, no 12, pp. 3914-3923.
2. Bobylev A. N., Udovichenko S. Yu. 2016. "The Electrical Properties of Memristor Devices TiN/TixAl1-x Oy/TiN Produced by Magnetron Sputtering". *Russian Microelectronics*, vol. 45, no 6, pp. 396-401.
3. Busygin A. N., Kuzmenko A. Yu., Pisarev A. D., Filippov V. A. 2016. "Features of Simulation of a Biomorphic Neural Network on Electronic Device with Non-Volatile Memory and Low Power Consumption". *Tyumen State University Herald. Physical and Mathematical Modeling. Oil, Gas, Energy*, vol. 2, no 1, pp. 92-100.
4. Chevallier C. J., Siau C. H., Lim S. F., Namala S. R. et al. 2010. "A 0.13 μ m 64Mb Multi-Layered Conductive Metal-Oxide Memory". *IEEE International Solid-State Circuits Conference*, pp. 260-261.
5. Demin V. A., Erokhin V. V., Emelyanov A. V., Battistoni S. et al. 2015. "Hardware Elementary Perceptron Based On Polyanilin Memristive Devices". *Organic Electronics*, vol. 25, pp.16-20.
6. Levy Y., Bruck J., Cassuto Y., Friedman E. G. et al. 2014. "Logic Operations in Memory Using a Memristive Akers Array". *Microelectronics Journal*, vol. 45, pp. 1429-1437.
7. Liu T., Yan T. H., Scheuerlein R., Chen Y. et al. 2014. "A 130.7-nm 2-Layer 32-Gb ReRAM Memory Device in 24-nm Technology". *IEEE Journal of Solid-State Circuits*, vol. 49, no 1, pp. 140-149.
8. Rakitin V. V. 2007. *Integral'nye skhemy na KMOP-tranzistorakh. Uchebnoe posobie [Integrated Circuits in CMOS Transistors. Study Guide]*. Moscow.
9. Udovichenko S. Yu., Bobylev A. N., Busygin A. N., Pisarev A. D., Philippov V. A. 2016. "Prototip neyromorfного soprotsessora na osnove memristorov iz smeshannogo oksida metallov" [Neuromorphic Coprocessor Prototype Based on Mixed Metal Oxide Memristors]. *Proceedings of the 6th Russian Nanotechnology Society Conference*, pp.29-32.
10. Xia O., Robinett W., Cumbie M., Banerjee N. et al. 2009. "Memristor-CMOS Hybrid Integrated Circuits for Configurable Logic". *Nano Letters*, vol. 9, no 10, pp. 3640-3645.