

**Александр Дмитриевич ПИСАРЕВ<sup>1</sup>**  
**Александр Николаевич БУСЫГИН<sup>2</sup>**  
**Абдулла Хайдар Абдо ИБРАГИМ<sup>3</sup>**  
**Сергей Юрьевич УДОВИЧЕНКО<sup>4</sup>**

УДК 621.382;004.33

## **МОДЕЛИРОВАНИЕ ПРОЦЕССОВ ДЕКОДИРОВАНИЯ ИНФОРМАЦИИ В ВЫХОДНОМ УСТРОЙСТВЕ БИОМОРФНОГО НЕЙРОПРОЦЕССОРА\***

<sup>1</sup> кандидат технических наук, доцент  
кафедры прикладной и технической физики,  
заведующий лабораторией пучково-плазменных технологий  
НОЦ «Нанотехнологии», Тюменский государственный университет  
spcb.doc@gmail.com

<sup>2</sup> аспирант кафедры прикладной и технической физики,  
лаборант-исследователь НОЦ «Нанотехнологии»,  
Тюменский государственный университет  
a.n.busygin@utmn.ru

<sup>3</sup> аспирант кафедры прикладной и технической физики,  
инженер-исследователь НОЦ «Нанотехнологии»,  
Тюменский государственный университет  
abdulla.ybragim@mail.ru

<sup>4</sup> доктор физико-математических наук,  
профессор кафедры прикладной и технической физики,  
руководитель НОЦ «Нанотехнологии»,  
Тюменский государственный университет  
udotgu@mail.ru

---

\* Работа выполнена при финансовой поддержке РФФИ в рамках гранта № 20-37-90003.

---

**Цитирование:** Писарев А. Д. Моделирование процессов декодирования информации в выходном устройстве биоморфного нейропроцессора / А. Д. Писарев, А. Н. Бусыгин, А. Х. А. Ибрагим, С. Ю. Удовиченко // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2020. Том 6. № 4 (24). С. 179-193.

DOI: 10.21684/2411-7978-2020-6-4-179-193

### **Аннотация**

Настоящая публикация является продолжением цикла статей по созданию узлов нейропроцессора на основе комбинированного мемристорно-диодного кроссбара.

Определены принципы модификации импульсной информации в двоичный код в выходном устройстве нейропроцессора, реализуемые в логической матрице на основе нового элемента электроники — комбинированного мемристорно-диодного кроссбара. В логической матрице возможна обработка импульсных сигналов, поскольку один слой матрицы представляет собой набор логических вентилях «И» или «ИЛИ» с произвольно подключаемыми входами.

Предложены два решения задачи декодирования импульсов от популяции нейронов в выходном устройстве, поступающих из аппаратной нейросети нейропроцессора, в стандартные двоичные сигналы. Первое решение предполагает использование двух слоев логической матрицы и генератора импульсов. Компактность второго решения достигается за счет наличия генератора двоичных чисел, что позволяет избавиться от одного слоя логической матрицы.

Представлены результаты SPICE моделирования процесса декодирования импульсных информационных сигналов в двоичный формат и подтверждена работоспособность электрической схемы выходного устройства.

Оригинальность работы устройства заключается в коммутации логической матрицей сигналов генератора на выход нейропроцессора на основе временной задержки входного импульса из аппаратной нейронной сети. Использование мемристорной логической матрицы во всех узлах нейропроцессора, включая выходное устройство, позволяет унифицировать элементную базу полной электрической схемы нейропроцессора, а также источников ее электропитания.

### **Ключевые слова**

Нанoeлектроника, нейронные сети, распределенные вычисления, биоморфный нейропроцессор, комбинированный кроссбар, мемристор.

**DOI: 10.21684/2411-7978-2020-6-4-179-193**

### **Введение**

В последнее время, в связи с теоретическим [1] и экспериментальным [2] открытиями четвертого базового элемента электроники — мемристора, ведутся активные разработки нейропроцессора, в котором мемристор играет роль синапса между нейронами [3]. Среди множества известных подходов к созданию процессорной нейроморфной системы было впервые предложено в работе [4] для реализации искусственной нейронной сети (ИНС) использовать массив мемристоров, созданный по технологии.

Мемристорный кроссбар является продуктом нанотехнологической электроники, который отличается свойством масштабируемости и может содержать в себе программируемые логические элементы с высокой степенью интеграции

и возможностью использования их в 3D топологии. Применение масштабируемых сверхбольших интегральных схем (СБИС) является перспективным направлением для создания биоморфного микропроцессорного устройства. Подход с применением мемристорных кроссбаров в этом случае выгодно отличается от других, в которых для отдельных синапсов и нейронов предлагаются сложные схемотехнические решения, разработанные без учета условий энергоэффективности и компоновки СБИС.

Создание энергоэффективных мемристорных кроссбаров связано с проблемой паразитных токов и утечек [5, 6]. Для решения этой проблемы были разработаны топологии и технологии запоминающей [7] и логической [8] матриц, в ячейке которых кроме мемристоров присутствует селективный элемент — диод Зенера.

Важной особенностью логической матрицы является унифицированность применения в разных узлах нейропроцессора. С учетом унифицированности была предложена блочная концепция нейропроцессора в работе [8], где каждый узел использует конструкции на базе логической матрицы.

В работе [9] представлена функциональная схема входного устройства нейропроцессора на основе логической матрицы. Это устройство реализует фильтрацию входной информации на основе дискретного косинусного преобразования и ее кодирование из цифрового двоичного в импульсный формат представления данных с временными задержками по аналогии с биологическими системами. В [10] с помощью SPICE моделирования показана работоспособность кодирующего устройства во входном блоке нейропроцессора в режиме одновременного кодирования популяцией нейронов пространственной производной входного числа (яркости пикселей) в частоту и значения входного числа и его производной по времени в задержки импульсов. Подобное одновременное популяционное кодирование значения яркости пикселей в задержки и пространственной производной яркости в частоту наблюдается в биологических нейронных сетях, но без учета производной яркости по времени [11].

В отличие от электрических импульсов, которые распространяются со световой скоростью, передача потенциала действия в биологических нейросетях не быстросействующая. Она происходит за время, измеряемое долями секунд. Время передачи импульса зависит от длины, толщины нервного волокна и его миелинизированности. Задержки в сотни миллисекунд нужны для формирования паттернов импульсов, которые предположительно используются в биологических системах как вариант кодирования информации. Имитация задержек импульсов для формирования паттернов во входном устройстве выполняется с помощью схем, задерживающих импульсы.

Настоящая статья посвящена разработке выходного устройства нейропроцессора с помощью унифицированной логической матрицы на основе комбинированного мемристорно-диодного кроссбара [8]. Для этого необходимо провести SPICE моделирование процессов декодирования импульсов, поступающих из аппаратной нейронной сети, в двоичный код.

### Функциональная характеристика выходного блока нейропроцессора

Основной задачей выходного устройства является преобразование информации из импульсного формата в стандартный цифровой код для вывода из нейропроцессора. В выходном устройстве происходит сбор групп распределенных сигналов аппаратной нейросети нейропроцессора после их параллельной обработки. Эти функции необходимы, поскольку данные в нейропроцессоре в формате своего представления могут охватывать большую группу сигнальных линий. Осуществляется представление обработанных величин в сжатом формате (без избыточности), локализованном по времени и пространству.

На выходное устройство поступают информация, полученная в нейронном блоке нейропроцессора в импульсном формате представления информации (например, чисел), характерном для искусственных спайковых нейронных сетей, которые наиболее приближены к биологическим нейронным системам [11]. При работе выходного блока отсутствует необходимость в операциях сжатия и фильтрации информационного потока, которые выполняются во входном устройстве нейропроцессора. Таким образом, основной операцией выходного устройства является перекодировка формата данных спайковых нейронных сетей в стандартное цифровое представление.

### Принципы преобразования импульсной информации в двоичный код

#### Преобразование частоты импульсов от одного нейрона

Обработка импульсных сигналов возможна в логической матрице [8], поскольку один слой матрицы представляет собой набор логических вентилях «И» или «ИЛИ» с произвольно подключаемыми входами. Путем маршрутизации импульсных сигналов, с объединением их по логике И — ИЛИ на одной линии, возможно, задавать информационную величину или модифицировать ее. На рис. 1 приведены примеры модификации частотного сигнала с помощью логических элементов. Логический элемент «ИЛИ» осуществляется увеличе-

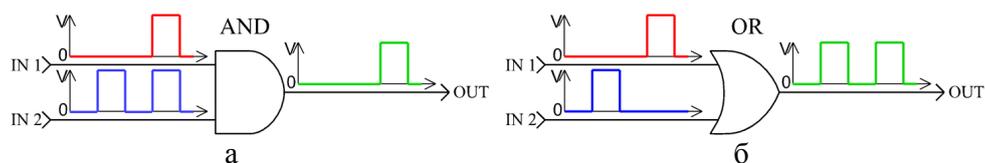


Рис. 1. Принцип модификации частотной информации в логических вентилях: а) увеличение частоты информационных импульсов с помощью логического элемента «ИЛИ» («OR»); б) уменьшение частоты информационных импульсов с помощью логического элемента «И» («AND»)

Fig. 1. The principle of modifying frequency information in logic gates: а) increasing the frequency of information pulses using the OR logical element; б) decreasing the frequency of information pulses using the AND logical element

нием частоты при объединении импульсов входного сигнала с импульсами другого сигнала или генератора. Это эквивалентно операциям суммирования информационных величин или константы. Использование логической операции «И» позволяет уменьшать частоту вычитанием несовпадающих импульсов по времени, пропуская дальше модифицированный информационный сигнал. Добавление инверсии к логике «И» будет соответствовать операции вычитания информационных величин или вычитания константы.

*Маршрутизация импульсов от популяции нейронов*

На рис. 2 показан принцип модификации данных, представленных в популяционном коде. Модификация информации выполняется коммутируемой маршрутизацией информационных импульсов между позициями линий с помощью логической матрицы [8]. В этом случае возможна любая формула преобразования импульсов между входом INPUT и выходом OUTPUT.

Формула преобразования задается программируемыми связями матрицы маршрутизации. Внутри матрицы маршрутизации должно быть  $N \cdot K$  возможных связей между  $N$  входными и  $K$  выходными линиями. Из них потребуются запрограммировать  $K$  связей маршрутизации. Для взаимно однозначного преобразования должно выполняться условие  $N = K$  в случае биекционного отображения входного множества значений на выходное, и может быть  $N > K$  в случае неполного преобразования.

В описанном принципе обработки информационных данных основное внимание заслуживает его энергоэффективность и быстрдействие. Пространственное разделение информационных импульсов позволяет за два переключения логического элемента выполнять модификации над данными с программируемыми коэффициентами. Маршрутизация популяционного кода наиболее удобна для проведения математических операций с программируемыми константными величинами. Работу матрицы маршрутизации можно назвать распреде-

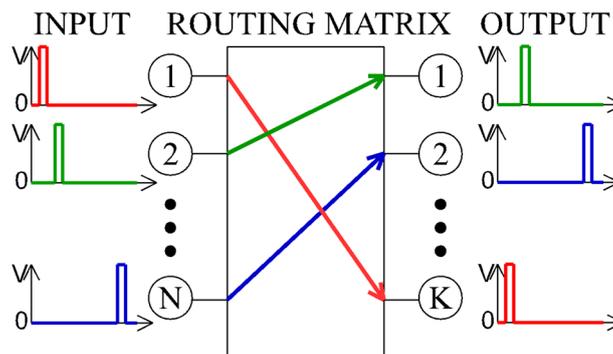


Рис. 2. Модификация информации путем маршрутизации импульсов от популяции нейронов

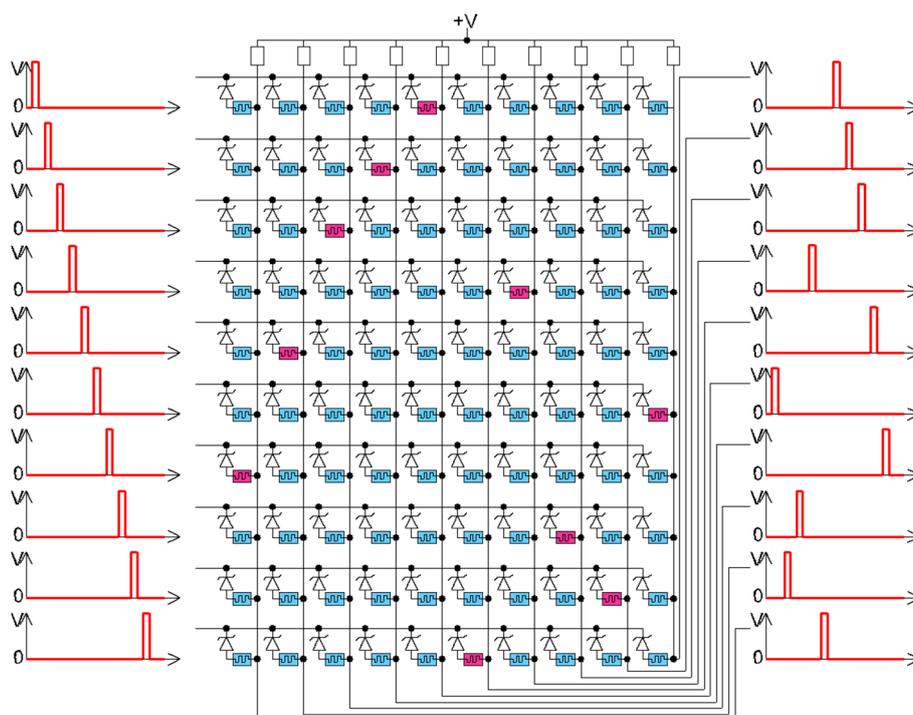
Fig. 2. The modification of information by routing pulses from a population of neurons

ленной, поскольку она будет заключаться всего лишь в нескольких импульсах на электрической связи в группе шин одной обрабатываемой величины.

На рис. 3 представлена принципиальная схема фрагмента логической матрицы на основе комбинированного мемристорно-диодного кроссбара, выполняющего маршрутизацию импульсов. Красным цветом помечены мемристоры, запрограммированные в высокопроводящее состояние. Показанные на схеме диаграммы демонстрируют выполнение маршрутизации позиций входных импульсов, периодически поступающих на вход матрицы слева. На выходе справа на диаграммах видны перестановки позиций импульсов, что можно интерпретировать как операция биекционного отображения последовательно поступающих входных данных.

#### *Пространственно-временное преобразование информации*

Преобразование выходных импульсов от одного нейрона является модификацией во времени, а маршрутизация импульсов от популяции нейронов — модификацией в пространстве. Объединение временного и пространственного



*Рис. 3.* Модификация информации путем маршрутизации импульсов в слое логической матрицы на основе комбинированного мемристорно-диодного кроссбара

*Fig. 3.* The modification of information by routing pulses in the logical matrix layer based on a combined memristor-diode crossbar

способов модификации позволяет найти баланс между скоростью обработки и количеством задействованных элементов логической матрицы. Так можно производить операции над величинами, представленными в многоразрядном виде. В этом случае значения каждого разряда будут разделены пространственно, а сами разряды — во времени.

На рис. 4 показана блок-схема, отражающая идею поразрядной операции над десятичным трехразрядным числом, которая реализована на трех перестановочных матрицах маршрутизации RM1-RM3 (рис. 2). Время обработки составляет 3 такта. В каждом такте проводятся биекционные модификации с последовательно поступающими разрядами числа, закодированного в последовательность импульсов. Для каждого такта операции используется своя матрица маршрутизации. Матрицы маршрутизации установлены параллельно и тактируемое устройство подключает в свой такт соответствующую матрицу маршрутизации, отключая при этом другие. В этом случае входной импульсный сигнал разделяется в пространстве и во времени. Импульсы на выходе объединяются по логике «ИЛИ» также в трехразрядное число в пространственно-временном формате представления.

Пример реализации пространственно-временного преобразования на базе логической матрицы [8] показан на рис. 5.

Выходные данные представляют собой двухразрядное восьмеричное число. Сигналы на рис. 5 получены в результате SPICE моделирования. На линию in3 для примера в качестве входной информации в пространственно-временном формате подаются два импульса, что соответствует восьмеричному числу  $33_8$  (соответствует  $27_{10}$ ). С помощью двух импульсов на линиях InSD1 и InSD2 выделяются поочередно разряды входного числа, которые подаются на маршрутизирующие матрицы, расположенные в первом слое 3D мемристорной логической матрицы. Входные импульсы подаются на следующий слой 3D логической матрицы без изменения позиции значений, но разделенные по разрядам. Во втором слое запрограммированный мемристорный слой выполняет двоичное преобразование позиций импульсов по логике ИЛИ с перестановочной функцией. После симуляции импульсы выходного числа остаются, разделенными по времени и разрядам нового значения, равного  $35_8$  (соответствует  $29_{10}$ ).

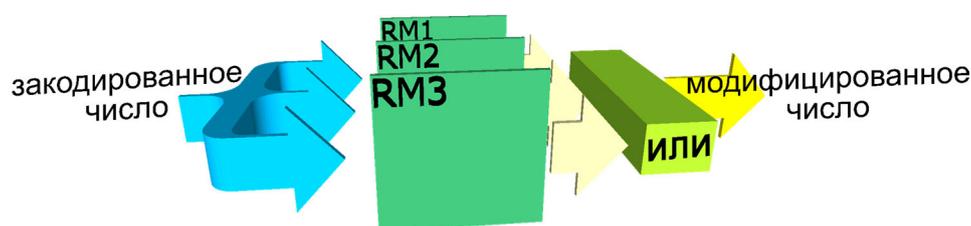


Рис. 4. Принцип модификации числа, закодированного в пространственно-временную последовательность импульсов

Fig. 4. The modification principle of a number encoded in a space-time sequence of pulses

Таким образом, пространственно-временное представление информации позволяет производить последовательные поразрядные операции над числами. Это значительно расширяет диапазон дискретных значений обрабатываемых величин при незначительно больших временных затратах и меньших аппаратных затратах по сравнению с только пространственным представлением информации. В качестве недостатка использования в нейропроцессоре пространственно-временного представления информации можно отметить низкую помехозащищенность обрабатываемых данных. Потеря даже одного импульса на линиях мемристорных матриц приводит к сильному искажению обрабатываемой информации. Рассмотренное схемотехническое решение наилучшим образом подходит для применения в выходном блоке нейропроцессора для реализации преобразования формата представления выходной информации нейропроцессора в сжатом виде. Информация в сжатом виде выводится из схемы нейропроцессора с помощью минимального количества выходных электрических линий.

Стоит отметить, что рассмотренное пространственно-временное представление информации в выходном устройстве отличается отсутствием избыточности от кодирования информации популяцией нейронов во входном устройстве.

#### Результаты SPICE моделирования схем, декодирующих импульсные сигналы от популяции нейронов

В задаче декодирования импульсов от популяции нейронов в стандартные двоичные сигналы, решаемой выходным устройством нейропроцессора, можно пред-

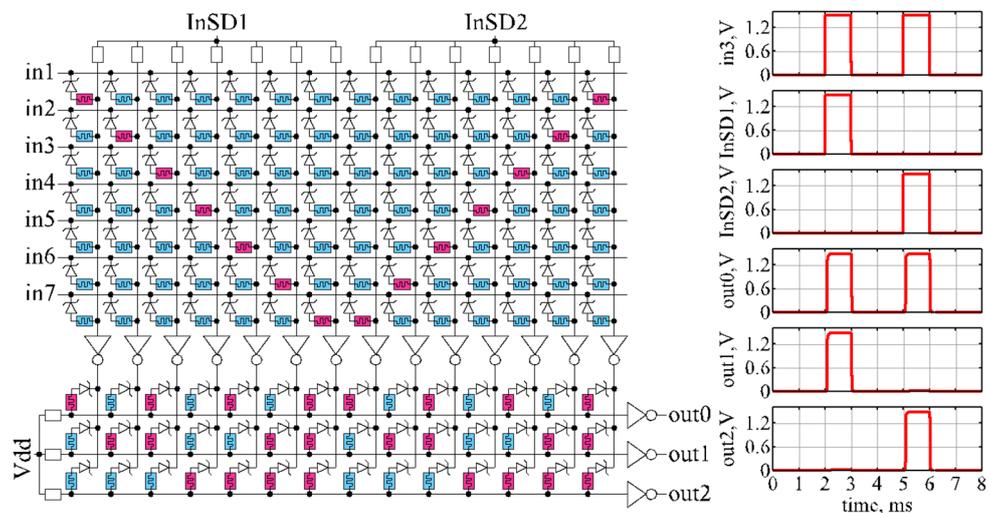


Рис. 5. Принципиальная схема модификации двухразрядного числа с помощью двух слоев логической матрицы [8] и результаты ее SPICE моделирования

Fig. 5. The schematic diagram of a two-digit number modification using two layers of a logical matrix [8] and the results of its SPICE simulation

ложить два решения: с использованием генераторов единичных импульсов и двоичных чисел соответственно. Оба решения построены с применением логической матрицы на основе комбинированного мемристорно диодного кроссбара.

На рис. 6 показана принципиальная схема для преобразования популяционно кодированного числа в восьмеричное число, каждый разряд которого представлен бинарным кодом. Электрическая схема преобразователя реализуется в двух слоях логической матрицы. Величины задержки двух входных импульсов, приходящих из нейронной сети, декодируются в двухразрядное восьмеричное число, значения разрядов которого представлены трехбитными двоичными числами. Входные импульсы по линиям input\_0 и input\_1 подаются на шины первого слоя матрицы. В этом слое выполняется поразрядное преобразование временных задержек импульсов в позиционный код. Во втором нижнем слое производится преобразование из позиционного кода в бинарный код. С помощью регистров и логических элементов «И», которые установлены на выходной периферии 3D логической матрицы, производится временная коррекция выходных импульсов.

Декодированное значение можно определить по диаграмме SPICE-моделирования, показанной на рис. 6 справа. На диаграммах для input\_0 и input\_1 импульсы показаны красным цветом. Определение задержки входных сигналов выполняется относительно импульсов от генераторов. Сигнал, показанный синей кривой, получен объединением импульсов внешних генераторов 1-7 на диаграмме. В первом фрейме положение входного импульса на линии input\_0 соответствует значению задержки 6. Это означает, что передаваемая величина имеет значение 6 в младшем разряде. Счет импульсов производится с конца фрейма. Также для импульса на линии input\_1 определяется задержка равная 4,

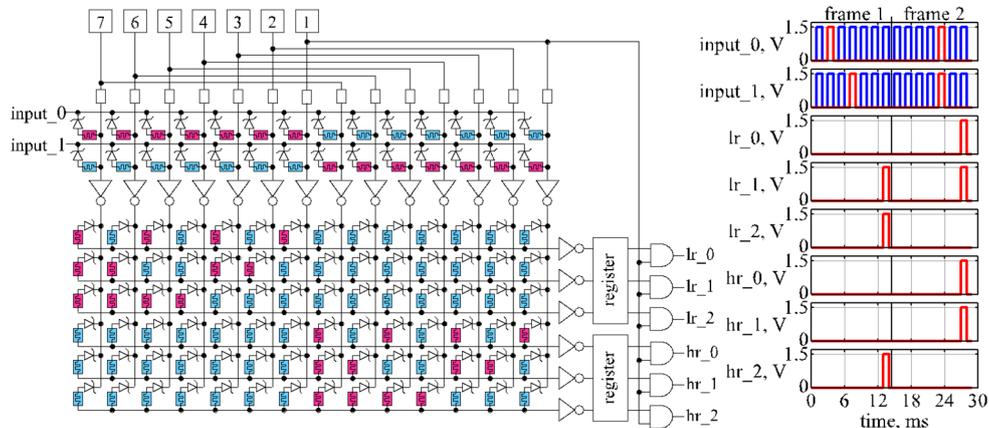


Рис. 6. Принципиальная электрическая схема декодирования популяционного двухразрядного импульсного сигнала в восьмеричный двухразрядный код и результаты ее SPICE-моделирования

Fig. 6. The schematic diagram of decoding a population two-bit pulse signal into an octal two-bit code and the results of its SPICE simulation

соответствующая старшему разряду передаваемой величины. Таким образом, в первом фрейме закодировано восьмеричное число  $46_8$ . Аналогично можно определить значение, передаваемое величины во втором фрейме. Оно имеет значение  $33_8$ . Восьмеричный формат представления выбран для упрощения принципиальной схемы и дальнейшего преобразования. Таким же образом можно передавать величины в других форматах, имеющих большее количество значений в разрядах. В результате преобразования на выходных линиях  $lr\_0$ - $lr\_2$  и  $hr\_0$ - $hr\_2$  можно видеть импульсные сигналы в стандартном формате, соответствующих значениям  $46_8$  и  $33_8$ .

Другое, компактное схемотехническое решение той же задачи, но с использованием генератора двоичных чисел показано на рис. 7. Компактность схемы достигается, за счет того, что наличие генератора двоичных чисел позволяет избавиться от преобразования позиционного кода в двоичный. Схемотехнически это означает отсутствие нижней логической матрицы на рис. 6.

Для примера в качестве выходного стандартного сигнала выбрано шестнадцатеричное двухразрядное число, представленное стандартным байтом информации в параллельном коде. Значения преобразуемой величины на входе показаны на диаграммах SPICE-моделирования сигналами  $input\_0$  и  $input\_1$ . Определение закодированной величины производится аналогично примеру, показанному

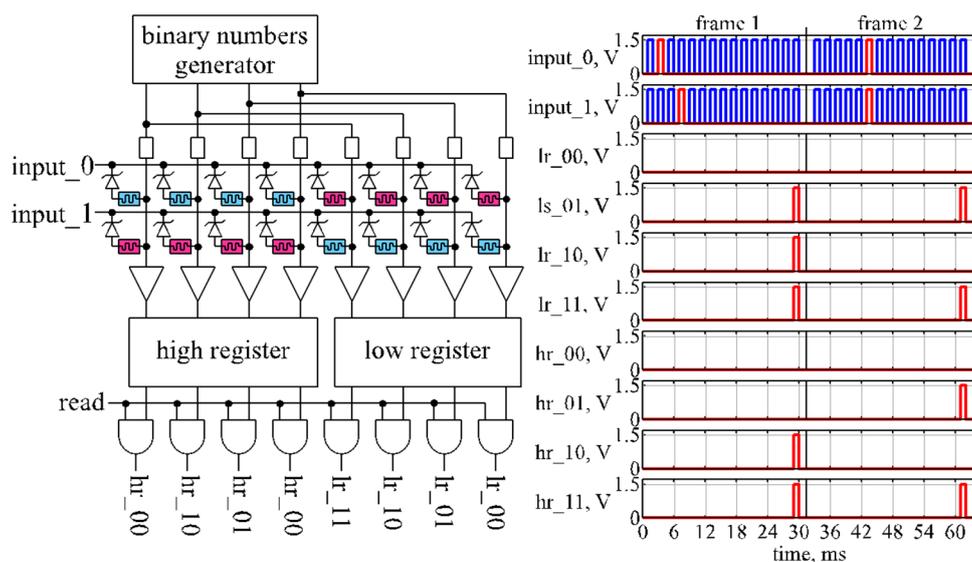


Рис. 7. Принципиальная электрическая схема декодирования популяционного двухразрядного импульсного сигнала в шестнадцатеричный двухразрядный код с использованием генератора бинарных чисел и результаты ее SPICE-моделирования

Fig. 7. The schematic electrical diagram for decoding a population two-bit pulse signal into a two-bit hexadecimal code using a binary number generator and the results of its SPICE simulation

на рис. 6 с тем отличием, что максимальное значение разряда увеличено до 15 для шестнадцатеричного представления.

Значения преобразуемой величины на входе показаны на диаграммах SPICE-моделирования сигналами input\_0 и input\_1. Определение закодированной величины производится аналогично примеру, показанному на рис. 6 с тем отличием, что максимальное значение разряда увеличено до 15 для шестнадцатеричного представления.

### Заключение

Представлены принципы модификации импульсной информации в двоичный код в выходном устройстве нейропроцессора, реализуемые в логической матрице на основе комбинированного мемристорно-диодного кроссбара.

Предложены два решения задачи декодирования импульсов в выходном устройстве нейропроцессора, поступающих из аппаратной нейросети нейропроцессора, в стандартные двоичные сигналы. Электрические схемы выходного устройства построены с помощью оригинальной логической матрицы на основе нового компонента нанoeлектроники — комбинированного мемристорно-диодного кроссбара, обладающего высокой интеграцией элементов. Аналогов разработанного устройства на основе высокоинтегрированного мемристорно-диодного кроссбара нет.

Представлены результаты SPICE моделирования процесса декодирования импульсных информационных сигналов в двоичный формат и подтверждена работоспособность электрической схемы выходного устройства.

Оригинальность работы устройства заключается в коммутации логической матрицей сигналов генератора на выход нейропроцессора на основе временной задержки входного импульса из аппаратной нейронной сети. Использование мемристорной логической матрицы во всех узлах нейропроцессора, включая выходное устройство, позволяет унифицировать элементную базу полной электрической схемы нейропроцессора, а также источников ее электропитания.

### СПИСОК ЛИТЕРАТУРЫ

1. Ибрагим А. Х. Моделирование устройства кодирования информации для импульсной аппаратной нейросети / А. Х. Ибрагим, С. Ю. Удовиченко // Материалы всероссийской конференции молодых ученых «Математическое и информационное моделирование». Тюмень, 2020. Вып. 18. С. 10-16.
2. Alibart F. Pattern classification by memristive crossbar circuits using ex situ and in situ training / F. Alibart, E. Zamanidoost, D. Strukov // Nature Communications. 2013. Vol. 4. Art. 2072. DOI: 10.1038/ncomms3072
3. Chua L. Memristor — the missing circuit element / L. Chua // IEEE Transactions on Circuit Theory. 1971. Vol. 18. No. 5. Pp. 507-519. DOI: 10.1109/TCT.1971.1083337
4. Gollisch T. Rapid neural coding in the retina with relative spike latencies / T. Gollisch, M. Meister // Science. 2008. Vol. 319. No. 5866. Pp. 1108-1111. DOI: 10.1126/science.1149639

5. Kang B. S. High-current-density CuOx/InZnOx thin-film diodes for cross-point memory applications / B. S. Kang, S. E. Ahn, M. J. Lee, G. Stefanovich, K. H. Kim, W. X. Xianyu, C. B. Lee, Y. Park, I. G. Baek, B. H. Park // *Advanced Materials*. 2008. Vol. 20. Pp. 3066-3069. DOI: 10.1002/adma.200702932
6. Liang J. Cross-point memory array without cell selectors — device characteristics and data storage pattern dependencies / J. Liang, H. P. Wong // *IEEE Transactions on Electron Devices*. 2010. Vol. 57. No. 10. Pp. 2531-2538. DOI: 10.1109/TED.2010.2062187.
7. Pisarev A. 3D memory matrix based on a composite memristor-diode crossbar for a neuromorphic processor / A. Pisarev, A. Busygin, S. Udovichenko, O. Maevsky // *Microelectronic Engineering*. 2018. Vol. 198. Pp. 1-7. DOI: 10.1016/j.mee.2018.06.008
8. Pisarev A. D. Operation principle and fabrication technology of the neuroprocessor input unit on the basis of the memristive logic matrix / A. D. Pisarev, A. N. Busygin, A. N. Bobylev, S. Yu. Udovichenko // *International Journal of Nanotechnology*. 2019. Vol. 16. No. 6-10. Pp. 596-601. DOI: 10.1504/IJNT.2019.106630
9. Pisarev A. D. The biomorphic neuroprocessor based on the composite memristor-diode crossbar / A. D. Pisarev, A. N. Busygin, S. Y. Udovichenko, O. V. Maevsky // *Microelectronic Journal*. 2020. Vol. 102. Art. 104827. DOI: 10.1016/j.mejo.2020.104827
10. Prezioso M. Training and operation of an integrated neuromorphic network based on metal-oxide memristors / M. Prezioso, F. Merrih-Bayat, B. D. Hoskins, G. C. Adam, K. K. Likharev, D. B. Strukov // *Nature*. 2015. Vol. 521. Pp. 61-64. DOI: 10.1038/nature14441
11. Strukov D. B. The missing memristor found / D. B. Strukov, G. S. Snider, D. R. Stewart, R. S. Williams // *Nature*. 2008. Vol. 453. No. 7191. Pp. 80-83. DOI: 10.1038/nature06932

**Alexander D. PISAREV<sup>1</sup>**  
**Alexander N. BUSYGIN<sup>2</sup>**  
**Abdulla Kh. A. IBRAHIM<sup>3</sup>**  
**Sergey Yu. UDOVICHENKO<sup>4</sup>**

UDC 621.382; 004.33

**SIMULATION OF INFORMATION DECODING PROCESSES  
IN THE OUTPUT DEVICE OF THE BIOMORPHIC  
NEUROPROCESSOR\***

<sup>1</sup> Cand. Sci. (Tech.), Associate Professor,  
Department of Applied and Technical Physics,  
Head of Laboratory of Beam-Plasma Technologies,  
REC “Nanotechnology”, University of Tyumen  
spcb.doc@gmail.com

<sup>2</sup> Postgraduate Student,  
Department of Applied and Technical Physics,  
Researcher Laboratory Assistant, REC “Nanotechnology”,  
University of Tyumen  
a.n.busygin@utmn.ru

<sup>3</sup> Postgraduate Student,  
Department of Applied and Technical Physics,  
Engineer-Researcher, REC “Nanotechnology”,  
University of Tyumen  
abdulla.ybragim@mail.ru

<sup>4</sup> Dr. Sci. (Phys.-Math.), Professor,  
Department of Applied and Technical Physics,  
Head of REC “Nanotechnology”, University of Tyumen  
udotgu@mail.ru

---

\* This research was supported by the Russian Foundation for Basic Research within the project No. 20-37-90003.

---

**Citation:** Pisarev A. D., Busygin A. N., Ibrahim A. H. A., Udovichenko S. Yu. 2020. “Simulation of information decoding processes in the output device of the biomorphic neuroprocessor”. Tyumen State University Herald. Physical and Mathematical Modeling. Oil, Gas, Energy, vol. 6, no. 4 (24), pp. 179-193.

DOI: 10.21684/2411-7978-2020-6-4-179-193

### **Abstract**

This publication is the series of articles continuation on the creation of neuroprocessor nodes based on a composite memristor-diode crossbar.

The authors have determined the principles of modifying the pulse information into a binary code in the output device of the neuroprocessor, implemented in a logical matrix based on a new electronic element — a combined memristor-diode crossbar. The processing of pulse signals is possible in the logical matrix, since one layer of the matrix is a set of logical AND or OR gates with arbitrarily connected inputs.

The authors have proposed two solutions to the problem of decoding pulses from a population of neurons in the output device, coming from the hardware neural network of the neuroprocessor, into standard binary signals. The first solution involves the two layers use of a logical matrix and a pulse generator. The compactness of the second solution is achieved due to the presence of a binary number generator, which allows to get rid of one layer of the logical matrix.

This article presents the SPICE modeling results of the decoding pulsed information process signals into binary format and confirms the operability of the output device electrical circuit.

The originality of the device operation lies in the switching of the generator signals by the logical matrix to the neuroprocessor output based on the time delay of the input pulse from the hardware neural network. The use of the memristor logical matrix in all nodes of the neuroprocessor, including the input device, makes it possible to unify the element base of the neuroprocessor complete electrical circuit, as well as its power supplies.

### **Keywords**

Nanoelectronics, neural networks, distributed computing, biomorphic neuroprocessor, composite crossbar, memristor.

**DOI: 10.21684/2411-7978-2020-6-4-179-193**

### **REFERENCES**

1. Ibragim A. Kh., Udovichenko S. Yu. 2020. “Modeling of an information coding device for a pulsed hardware neural network”. Proceedings of the All-Russian Conference of Young Scientists “Mathematical and information modeling”. Vol. 18, pp. 10-16. Tyumen. [In Russian]
2. Alibart F., Zamanidoost E., Strukov D. 2013. “Pattern classification by memristive crossbar circuits using ex situ and in situ training”. Nature Communications. vol. 4, art. 2072. DOI: 10.1038/ncomms3072
3. Chua L. 1971. “Memristor — the missing circuit element”. IEEE Transactions on Circuit Theory, vol. 18, no. 5, pp. 507-519. DOI: 10.1109/TCT.1971.1083337
4. Gollisch T., Meister M. 2008. “Rapid neural coding in the retina with relative spike latencies”. Science, vol. 319, no. 5866, pp. 1108-1111. DOI: 10.1126/science.1149639
5. Kang B. S., Ahn S. E., Lee M. J., Stefanovich G., Kim K. H., Xianyu W. X., Lee C. B., Park Y., Baek I. G., Park B. H. 2008. “High-current-density CuOx/InZnOx thin-film

- diodes for cross-point memory applications”. *Advanced Materials*, vol. 20, pp. 3066-3069. DOI: 10.1002/adma.200702932
6. Liang J., Wong H. P. 2010. “Cross-point memory array without cell selectors — device characteristics and data storage pattern dependencies”. *IEEE Transactions on Electron Devices*, vol. 57, no. 10, pp. 2531-2538. DOI: 10.1109/TED.2010.2062187.
  7. Pisarev A., Busygin A., Udovichenko S., Maevsky O. 2018. “3D memory matrix based on a composite memristor-diode crossbar for a neuromorphic processor”. *Microelectronic Engineering*, vol. 198, pp. 1-7. DOI: 10.1016/j.mee.2018.06.008
  8. Pisarev A. D., Busygin A. N., Bobilev A. N., Udovichenko S. Yu. 2019. “Operation principle and fabrication technology of the neuromorphic input unit on the basis of the memristive logic matrix”. *International Journal of Nanotechnology*, vol. 16, no. 6-10, pp. 596-601. DOI: 10.1504/IJNT.2019.106630
  9. Pisarev A. D., Busygin A. N., Udovichenko S. Y., Maevsky O. V. 2020. “The biomorphic neuromorphic processor based on the composite memristor-diode crossbar”. *Microelectronic Journal*, vol. 102, art. 104827. DOI: 10.1016/j.mejo.2020.104827
  10. Prezioso M., Merrih-Bayat F., Hoskins B. D., Adam G. C., Likharev K. K., Strukov D. B. 2015. “Training and operation of an integrated neuromorphic network based on metal-oxide memristors”. *Nature*, vol. 521, pp. 61-64. DOI: 10.1038/nature14441
  11. Strukov D. B., Snider G. S., Stewart D. R., Williams R. S. 2008. “The missing memristor found”. *Nature*, vol. 453, no. 7191, pp. 80-83. DOI: 10.1038/nature06932